

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Satoshi SASAKI et al.

Application No.: 10/721,453

Filed: November 26, 2003

Docket No.: 117888

For: ELECTRONIC COMPONENT



CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-352941 filed December 4, 2002

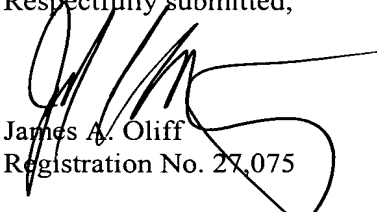
Japanese Patent Application No. 2002-363119 filed December 13, 2002

In support of this claim, certified copies of said original foreign applications:

☒ are filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,


James A. Oliff
Registration No. 27,075

Joel S. Armstrong
Registration No. 36,430

JAO:JSA/dap

Date: February 5, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**

Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 2 月 1 3 日

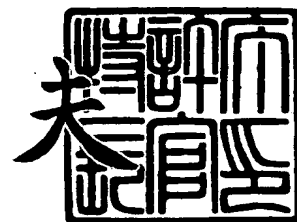
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 6 3 1 1 9
[ST. 10/C]: [J P 2 0 0 2 - 3 6 3 1 1 9]

出 願 人
Applicant(s): T D K 株式会社

2 0 0 3 年 1 1 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 P04480

【提出日】 平成14年12月13日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 41/083

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 佐々木 誠志

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 立本 一志

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 本間 光尚

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100081606

【弁理士】

【氏名又は名称】 阿部 美次郎

【手数料の表示】

【予納台帳番号】 014513

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 電子部品

【特許請求の範囲】

【請求項 1】 基体と、導体膜と、スルーホール導体とを含む電子部品であって、

前記導体膜は複数であり、その少なくとも一部は、前記基体の厚み方向に間隔を隔てて、前記基体の内部に埋設されており、

前記スルーホール導体は、3つ以上であって、それぞれは、上面又は下面の少なくとも一方の形状が、長軸径及び短軸径を有する形状であり、隣り合う前記導体膜間に存在する前記基体を貫通し、前記基体の厚み方向の異なる位置において、異なる軸上に配置され、隣り合う前記導体膜を接続する電子部品。

【請求項 2】 請求項 1 に記載された電子部品であって、前記スルーホール導体は、上面の長軸径を $D3$ とし、上面の短軸径を $D4$ とし、下面の短軸径を $D5$ とし、 $(D5/D4)$ を $\alpha 1$ とし、 $(D3/D4)$ を $\alpha 2$ としたとき、

$0.4 \leq \alpha 1 \leq 0.94$ 、かつ、 $1 < \alpha 2 \leq 5$
を満たす電子部品。

【請求項 3】 請求項 1 または 2 に記載された電子部品であって、前記導体膜について、前記スルーホール導体の短軸方向で見た長さを $D0$ としたとき、

$D0 \leq 500 \mu m$
を満たす電子部品。

【請求項 4】 請求項 1 乃至 3 の何れかに記載された電子部品であって、前記基体の厚み方向で見て隣接する前記スルーホール導体のそれぞれは、一方のスルーホール導体の軸が他方のスルーホール導体の面内に位置しないように配置されている電子部品。

【請求項 5】 請求項 1 乃至 4 の何れかに記載された電子部品であって、前記スルーホール導体は、前記基体の厚み方向で見て、繰り返し配置されている電子部品。

【請求項 6】 請求項 1 乃至 5 の何れかに記載された電子部品であって、

前記基体は、圧電基体であり、

前記導体膜は、第1の電極膜と、第1の端子電極膜と、第2の電極膜と、第2の端子電極膜とを含んでおり、

前記第1の電極膜及び前記第1の端子電極膜は、前記基体の厚み方向における同一位置に、第1の絶縁ギャップを介して、併設されており、

前記第2の電極膜及び前記第2の端子電極膜は、前記基体の厚み方向における同一位置に、第2の絶縁ギャップを介して、併設されており、

前記第2の電極膜は、前記基体を介して前記第1の電極膜及び前記第1の端子電極膜と対向しており、

前記第2の端子電極膜は、前記基体を介して前記第1の電極膜と対向しており、

前記スルーホール導体は、第1のスルーホール導体と、第2のスルーホール導体とを含んでおり、

前記第1のスルーホール導体は、前記第1の電極膜と前記第2の端子電極膜とを接続し、

前記第2のスルーホール導体は、前記第2の電極膜と前記第1の端子電極膜とを接続する
電子部品。

【請求項7】 請求項6に記載された電子部品であって、

前記第1の電極膜及び前記第1の端子電極膜の組と、前記第2の電極膜及び前記第2の端子電極膜の組とは、前記基体の厚み方向に間隔を隔てて、前記基体の内部に、交互に埋設されている
電子部品。

【請求項8】 請求項1乃至7の何れかに記載された電子部品であって、

前記基体が圧電材料からなり、アクチュエータとして機能する
電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子部品に関する。本発明に係る電子部品には、内部電極を有する各種の電子部品が含まれる。

【0002】

【従来の技術】

例えば、圧電ブザー、発音体、圧電センサ又は圧電アクチュエータ等の圧電部品として、圧電層と内部電極層とを交互に積層した積層型圧電応用製品が知られている。積層型圧電応用製品は、小型であり、しかも、小さな電圧で大きな機械的、物理的変位が得られるという利点があり、その利点が工業的要求に適合するものであるため、近年、その開発が急速に進展しつつある。

【0003】

このような積層型圧電応用部品では、内部電極を相互に接続し、内部電極を用いて各層に電界を印加できる構造を採用する必要がある。その最も一般的な手法は、積層体の内部に埋設された内部電極の端部を、積層体の側端面に露出させ、積層体の端面に付与された導電材によって電氣的、機械的に接続する構造である。

【0004】

しかし、この構造では、積層体の側端面に付与された導電材が、積層体の他の側端面、上面及び下面にはみ出して付着するため、積層体に金属板などを貼り合わせて圧電応用製品としてユニット化する際、積層体と金属板との間になんらかの絶縁処理を施す必要がある。このため、絶縁処理が障害となって、金属板への変位伝達効率が小さくなったり、あるいは、変位伝達の応答性が悪くなるなどの問題が生じていた。しかも、使用中に絶縁処理が劣化し、金属板が導電材と短絡してしまうなどの問題も生じた。

【0005】

上述した問題点を解決する手段として、スルーホール導体を設けた圧電層を順次に積層することにより、内部電極を接続する構造が提案されている。例えば、特許文献1、特許文献2及び特許文献3は、圧電層に設けたスルーホールに導電材料を充填して、スルーホール導体を構成し、スルーホール導体同士的位置が一致するように位置合わせをしながら圧電層を積層する構造を開示している。

【0006】

ところが、特許文献1～3に開示された方法は、スルーホール導体同士をストレートに直接接続する構造（以下、1軸配列と称する）であるから、スルーホール導体同士の位置が一致するように、極めて精密な位置合わせをしながら圧電層を積層する必要があった。

【0007】

このため、スルーホール導体同士の位置合わせに多大な労力が必要になるという問題や、スルーホール導体同士の間にわずかな位置ずれが生じた場合でも、これにより接合不良を生じるという問題があった。

【0008】

しかも、近年、電子部品の小型化に伴い、スルーホールの小型化も進んでいる。例えば、圧電部品において、スルーホールは、大きくても直径0.2mm、小さいものでは直径30～50μm程度である。このため、スルーホール導体同士の位置合わせが極めて困難になりつつあり、スルーホール導体同士の位置ずれによる接合不良という問題が更に顕著になりつつある。

【0009】

更に、圧電層を構成する材料は、圧電セラミックス粉体と、有機バインダや溶剤などの有機材料とを混合したものであり、焼成時に有機バインダや溶剤などの有機材料はバーンアウトされ、収縮する。これに対して、スルーホールに充填された導電材料は、有機成分を含むものの、金属成分を主成分としているので、焼成時における収縮の挙動が圧電層を構成する材料とは著しく異なる。このため、焼成の前後で、圧電層とスルーホール導体との間に、大きな収縮率の違いが発生し、スルーホール導体間の接続不良を生じてしまうという問題点があった。

【0010】

また、完成品として見ても、スルーホール導体と、圧電層とでは、熱膨張率が異なるため、使用時に、熱膨張率の差に起因する接続不良が発生する恐れもあった。

【0011】

特許文献4は、積層体の厚み方向に平行な2つの軸上に、スルーホールを配置

(以下、2軸配列と称する)した圧電振動子ユニットを開示している。しかし、特許文献4には、スルーホールを平行な2つの軸上に配置したことによる技術的意義が記載されていない。

【0012】

さらに、従来のスルーホール導体は、上面及び下面の形状が円形であったから、スルーホール導体の直径を狭幅化すると、スルーホール導体の面積が小さくなり、スルーホール導体の接続強度が低下することとなる。

【0013】

このため、従来の電子部品は、スルーホール導体の直径の小型化に伴って、スルーホール導体の接続の信頼性が低下し、歩留まりが低下するという問題が生じていた。

【0014】

【特許文献1】

特開平7-131084号公報 (第2-3頁、第1図)

【特許文献2】

特開平8-316542号公報 (第2-3頁、第3図)

【特許文献3】

特開2002-36544号公報 (第2-3頁、第6図)

【特許文献4】

特開2000-94679号公報 (第2-5頁、第2図)

【0015】

【発明が解決しようとする課題】

本発明の課題は、スルーホール接続の信頼性を向上させることにより、歩留まりの向上を図り得る電子部品を提供することである。

【0016】

本発明のもう一つの課題は、スルーホールの小型化により、製品の小型化を実現し得る電子部品を提供することである。

【0017】

本発明の更にもう一つの課題は、容易に製造し得る電子部品を提供することで

ある。

【0018】

【課題を解決するための手段】

上述した本発明に係る電子部品は、基体と、導体膜と、スルーホール導体とを含む。前記導体膜は複数であり、その少なくとも一部は、前記基体の厚み方向に間隔を隔てて、前記基体の内部に埋設されている。

【0019】

前記スルーホール導体は、3つ以上であって、それぞれは、上面又は下面の少なくとも一方の形状が、長軸径及び短軸径を有する形状であり、隣り合う前記導体膜間に存在する前記基体を貫通し、前記基体の厚み方向の異なる位置において、異なる軸上に配置され、隣り合う前記導体膜を接続する。

【0020】

上述したように、本発明に係る電子部品において、導体膜は複数であり、その少なくとも一部は、基体の厚み方向に間隔を隔てて、基体の内部に埋設されている。このような電子部品としては、例えば、積層アクチュエータ、チップコンデンサ、チップコイル等の電子部品を挙げることができる。

【0021】

また、本発明に係る電子部品は、スルーホール導体を含む。スルーホール導体のそれぞれは、隣り合う導体膜間に存在する基体を貫通し、隣り合う導体膜を接続する。従って、互いに隣接する基体を貫通するスルーホール導体同士は、導体膜を介して互いに接続されることになるから、スルーホール導体同士を直接接続（1軸配列）する場合と異なって、精密な位置合わせが不要になり、製造が容易になる。

【0022】

また、スルーホール導体と導体膜との接続は、スルーホール導体同士を直接接続する場合よりも強くなるから、接続の信頼性、及び、歩留まりが向上する。

【0023】

更に、位置合わせが容易になるとともに、スルーホール導体による接続の信頼性が向上するので、スルーホール導体を更に小型化することができ、これにより

、製品の小型化を図ることができる。

【0024】

また、スルーホール導体を小径化することにより、導体膜を形成するための有効面積が増大し、製品の高密度化、及び、特性向上等が図られる。また、例えば、基体の内部に埋設された導体膜を、スルーホール導体を介して、基体の上面又は下面に引出し、上面または下面に形成された端子電極にスルーホール導体を接続することにより、表面実装タイプの電子部品（SMD）を得ることができる。

【0025】

本発明において、特徴的な構成の1つは、スルーホール導体のそれぞれが、基体の厚み方向の異なる位置において、異なる軸上に配置されていることである。この構造によれば、従来の1軸配列、2軸配列と比較して、スルーホール導体による接続の信頼性を、著しく向上し得ることが確認された。

【0026】

その理由としては、スルーホール導体のそれぞれを、基体の厚み方向の異なる位置において、異なる軸上に配置することにより、積層時、プレス時及び焼成時における基体の歪みが低減し、これにより、スルーホール及びスルーホール導体の形状変形が抑制されるためであると考えられる。

【0027】

本発明において、もう1つの特徴的な構成は、スルーホール導体の上面又は下面の少なくとも一方の形状が、長軸径及び短軸径を有する形状であることである。この形状によれば、まず、短軸径方向において、従来の円柱状、円錐状のスルーホール導体と比較して、スルーホール導体の幅を狭くすることができる。したがって、極めて狭い間隔内にスルーホール導体を設けることが可能となり、製品の小型化に寄与することができる。

【0028】

一方、長軸径方向において、従来の円柱状、円錐状のスルーホール導体と比較して、スルーホール導体の長さ寸法を拡大することができる。したがって、短軸径方向における幅縮小にもかかわらず、従来の円柱状、円錐状のスルーホール導体と比較して、スルーホール導体の上面または下面の面積を増大させ、スルーホ

ール導体による接続を強化することができる。このため、スルーホール接続の信頼性が向上し、歩留まりが向上する。

【0029】

また、本発明に係る電子部品は、スルーホール導体を狭幅化することにより、導体膜等の電子部品素子を形成するための有効面積を増大させ、高密度化に寄与することができる。

【0030】

本発明の他の特徴及びそれによる作用効果は、添付図面を参照し、実施例によって更に詳しく説明する。

【0031】

【発明の実施の形態】

図1は本発明に係る電子部品の一部を示す図、図2は図1に示された電子部品の一部を示す斜視図、図3は図1、2に示した電子部品に含まれるスルーホール導体の1つを拡大して示す平面図である。図1～図3に示す電子部品は、基体10と、導体膜201～203と、スルーホール導体301～303とを含む。

【0032】

基体10は、得ようとする電子部品に応じて選択される。例えば、圧電アクチュエータを得ようとする場合は圧電セラミックス材料、チップコンデンサの場合はセラミックス誘電体材料または有機誘電体材料、チップコイルの場合はセラミックス磁性材料または複合磁性材料等によって、基体10を構成する。

【0033】

導体膜201～203は複数であり、基体10の内部に埋設されている。導体膜201～203の一部は、基体10の表面に形成されていてもよい。基体10のうち、隣り合う導体膜201～203の間に存在する基体部分は、機能層101～103となる。

【0034】

機能層101～103の各厚み t_1 は、同一であってもよいし、異なってもよい。機能層101～103の厚み t_1 は、好ましくは、 $1\mu\text{m} \leq t_1 \leq 100\mu\text{m}$ であり、更に好ましくは、 $5\mu\text{m} \leq t_1 \leq 50\mu\text{m}$ である。

【0035】

本実施例において、スルーホール導体301～303、及び、機能層101～103は、組51、52を構成している。図1においては、2つの組51、52を示すのみであるが、組の数は任意である。任意数の組は、繰り返し積層される。

【0036】

各組51、52に属するスルーホール導体301～303のそれぞれは、基体10の厚み方向zで見て異なる軸z1～z3上に配置されている。具体的には、基体10の厚み方向zで見て、隣接するスルーホール導体301-302、302-303、303-301のそれぞれは、少なくとも軸Z1～Z3が互いに重ならないように設けられている。スルーホール導体膜301～303の端面が互いに部分的に重なることは許容される。好ましくは、軸z1～z3が、他のスルーホール導体301～303の面内に存在しないように配置する。また、スルーホール導体301～303のそれぞれは、隣り合う導体膜201-202、202-203、203-201の間に存在する機能層101～103を貫通し、隣り合う導体膜201-202、202-203、203-201を接続する。

【0037】

図示実施例において、組51、52のそれぞれは、厚み方向zで見て、同一位置に繰り返し配置され、組51-52において対応関係にあるスルーホール導体301-301、302-302及び303-303間に間隔(2×t1)が生じるように配置されている。

【0038】

スルーホール導体301～303は、基体10の厚み方向zで見て、周期的に、繰り返し配置されている。スルーホール導体302は、厚み方向zに直交するy方向について、スルーホール導体301から Δy だけ隔てた位置に配置されており、スルーホール導体303は、y方向について、スルーホール導体301から $2 \times \Delta y$ だけ隔てた位置に配置されている。

【0039】

スルーホール導体301～303は、機能層101～103に貫通して設けら

れたスルーホール内部に、導体を充填することによって形成されている。

【0040】

上述したように、本実施例に係る電子部品は、基体10と、導体膜201～203とを含む。導体膜201～203は複数であり、その少なくとも一部は、基体10の厚み方向zに間隔を隔てて、基体10の内部に埋設されている。この構成によれば、基体10を構成する材料の選択に応じて、積層アクチュエータ、チップコンデンサ、チップコイル等の電子部品を得ることができる。

【0041】

また、スルーホール導体301～303は、隣り合う導体膜201～202、202～203、203～201の間に存在する機能層101～103を貫通し、隣り合う導体膜201～203を接続する。この構造によれば、スルーホール導体同士を直接接続（1軸配列）する場合に比べて、精密な位置合わせが不要になるので、容易に製造し得る。

【0042】

また、スルーホール導体301～303と導体膜201～203との接続は、スルーホール導体同士を直接接続する場合よりも強くなるから、スルーホール導体同士を直接接続する場合に比べて、接続の信頼性、及び、歩留まりが向上する。

【0043】

特に、焼成時において、導体膜201～203及びスルーホール導体301～303と、基体10を構成する機能層101～103とが、異なる収縮率で収縮することに起因する接続不良、及び、完成品の使用時に温度変化があった場合において、導体膜201～203及びスルーホール導体301～303と、機能層101～103とが、異なる膨張率で膨張することに起因する接続不良が回避され、歩留まり及び信頼性が向上する。

【0044】

更に、位置合わせが容易になるとともに、スルーホール導体301～303による接続の信頼性が向上するので、スルーホール導体301～303を更に小径化することができ、これにより、製品の小型化を図ることができる。

【0045】

また、スルーホール導体301～303を小径化することにより、各機能層101～103において、導体膜201～203等を形成できる有効面積が増大し、これにより製品の高密度化及び特性向上が図られる。

【0046】

また、例えば、基体10の内部に埋設された導体膜201～203を、スルーホール導体301～303を介して、基体10の上面又は下面に引出し、上面または下面に形成された端子電極に接続して、表面実装タイプの電子部品（SMD）を形成することができる。

【0047】

更に、本実施例に係る電子部品において、スルーホール導体301～303は、3つ以上であって、3つ以上の異なる軸上 $z_1 \sim z_3$ に配置されており、基体10の厚み方向 z で見て、隣接するスルーホール導体301-302、302-303、303-301のそれぞれは互いに重ならないように設けられている。換言すれば、スルーホール導体301～303のそれぞれは、基体10の厚み方向 z に平行な、少なくとも3つ以上の軸上に配置されている。

【0048】

スルーホール導体301～303を3つ以上の軸 $z_1 \sim z_3$ 上に配置する構成を採用すると、従来の1軸配列、2軸配列と比較して、スルーホール導体301～303による接続の信頼性を向上し得ることが確認された。

【0049】

スルーホール導体301～303による接続の信頼性を向上し得る理由としては、スルーホール導体301～303を3つ以上の軸 $z_1 \sim z_3$ 上に配置する構成により、積層時、プレス時及び焼成時における基体10の歪みが低減し、これにより、スルーホールの形状変形が低減するためであると考えられる。

【0050】

3つの軸 $z_1 \sim z_3$ 上に配置する構成を採ることにより、基体10の歪みを低減し得る理由は、次のように考えられる。

【0051】

第1の理由として、各機能層において、スルーホール導体301～303が形成された部分には、歪が生じるが、スルーホール導体301～303を3つの軸 $z_1 \sim z_3$ 上に配置することにより、スルーホール導体301～303が形成された部分の歪を分散することができ、これにより、スルーホール導体301～303が形成された部分の歪が打消し合い、基体10全体として、歪が緩和されるためと考えられる。

【0052】

第2の理由として、スルーホール導体301～303を少なくとも3つの軸 $z_1 \sim z_3$ 上に配置するという構成を採ることにより、隣接する組51-52間で見ても、スルーホール導体301-301、302-302、303-303同士が2以上の機能層を介して配置され、厚み($2 \times t_1$)以上の間隔をおいて配置されることになる。このため、スルーホール導体301～303と導体膜201～203との接続部分に歪が生じている場合でも、スルーホール導体301-301、302-302、303-303同士の間に存在する厚み($2 \times t_1$)により、歪が分散し、基体10の全体としての歪みが低減するものと考えられる。

【0053】

スルーホール導体301～303、及び、導体膜201～203は、スクリーン印刷法で形成することが好ましい。スルーホール導体301～303の充填性を良好にするためには、導体膜201～203を形成する前に、スルーホール導体301～303をスルーホールの内に充填することが好ましい。スルーホール導体301～303、及び、導体膜201～203は、例えば、Pd:Agが3:7の成分比となるPd-Ag合金で構成することができる。

【0054】

図示実施例におけるもう1つの特徴は、スルーホール導体301～303の上面及び下面の形状が、長軸径及び短軸径を有する形状であることである。実施例とは異なって、上面または下面の一方のみを長軸径及び短軸径を有する形状としてもよい。長軸径及び短軸径を有する形状としては、例えば、楕円形状、長方形の角を丸めた形状等を挙げることができる。

【0055】

図1～図3において、スルーホール導体301～303の上面及び下面の形状は、長軸方向yにおいて対向する両縁が半円弧状であり、短軸方向xにおいて対向する両縁が直線である。具体的には、スルーホール導体301～303の上面は、短軸径D4及び直線D7を2辺とする方形の両端に、短軸径D4を直径とする半円を接続した形状を有する。即ち、

$$D3 = D4 + D7$$

となる。

【0056】

このスルーホール導体301～303の上面は、長軸径D3と短軸径D4との比を、

$$(D3/D4) = \alpha 2 \text{ として、}$$

$$1 < \alpha 2 \leq 5$$

を満たすことが好ましい。 $\alpha 2 > 5$ である場合、長軸径D3の端部分のエネルギーが十分でなく、端の部分で貫通しなくなるからである。更に、例えば、圧電素子として使用するときは、長軸径D3の長さが長くなると、圧電体の活性部分の長さが制約されることを考慮すると、好ましくは、

$$\alpha 2 \leq 3$$

であり、更に好ましくは、

$$\alpha 2 \leq 2$$

を満たす。具体的には、図3において、 $D3 = 60 \mu m$ 、 $D4 = 50 \mu m$ である。

電極膜201～203について、スルーホール導体301～303の短軸方向xで見た長さD0は、 $D0 > D4$ である。好ましくは、

$$0.1 D0 \leq D4 \leq 0.95 D0$$

を満たす。一方、長さD0は、好ましくは、

$$D0 \leq 500 \mu m$$

を満たす。更に好ましくは、

$$10 \mu m \leq D0 \leq 200 \mu m, \text{ 更に好ましくは、}$$

$$10 \mu m \leq D0 \leq 150 \mu m$$

を満たす。具体的には、例えば、 $D0 = 200 \mu m$ である。

【0057】

上述したように、本実施例に係る電子部品は、基体10を含む。この基体10には、例えば、複数の導体膜201～203を、基体10の厚み方向に間隔を隔てて配置することができ、これにより、積層型アクチュエータ等の圧電素子、チップコンデンサ、チップインダクタ、チップ複合電子部品等の電子部品を構成することができる。

【0058】

また、スルーホール導体301～303は、機能層101～103を貫通している。したがって、スルーホール導体301～303により、基体10の厚み方向に間隔を隔てて配置された導体膜21～24間を接続することができる。

【0059】

更に、スルーホール導体301～303は、上面及び下面の形状が、長軸径及び短軸径を有する形状である。この形状によれば、まず、短軸方向xにおいて、従来の円柱状、円錐状のスルーホール導体と比較して、スルーホールの幅を狭くすることができる。したがって、極めて狭い間隔内にスルーホール導体301～303を設けることが可能となり、製品の小型化を図ることができる。

【0060】

一方、長軸径D3を有する形状によれば、長軸方向yにおいて、スルーホール導体301～303の長さ寸法を増大し得るから、短軸方向xにおける幅を縮小したにもかかわらず、従来の円柱状、円錐状のスルーホール導体と比較して、スルーホール導体301～303の上面及び下面の面積を拡大し、導体膜21、24に対するスルーホール導体301～303の接続強度を増大させることができる。このため、スルーホール接続の信頼性が向上し、歩留まりが向上する。

【0061】

具体的には、従来の円柱状、円錐状のスルーホールの場合、直径をDとすると、スルーホールの上面の面積は、

$$\pi \times (D/2)^2$$

となる。下面でも同様である。

【0062】

これに対し、本実施例に係る電子部品は、長軸径D3及び短軸径D4を有するスルーホール形状であるから、上面の面積が、

$$\pi \times (D4/2)^2 + (D4) \times D7$$

となる。したがって、従来の円柱状、円錐状のスルーホールの場合の直径Dと、短軸径D4とが等しいとすれば、本実施例の場合、従来例よりも、

$$(D4) \times D7$$

だけ面積が増大する。

【0063】

また、本実施例に係る電子部品は、スルーホール導体301～303を狭幅化することにより、導体膜23や、他の電子素子の形成に供される有効面積を増大させ、高密度化に寄与することができる。本実施例の場合、スルーホール導体301～303の上面のみならず、下面も、長軸径及び短軸径を有する形状となっているから、上面及び下面の一方のみを、長軸径及び短軸径を有する形状とした場合よりも、好ましい結果が得られる。

【0064】

図4はスルーホール導体301～303の別の態様を示す平面図である。図において、スルーホール導体301～303は、上面及び下面が楕円形状である。図に示すスルーホール導体301～303を用いた場合も、図1～図3を参照して説明した作用効果を得ることができる。

【0065】

図5はスルーホール導体301～303の別の態様を示す断面図である。スルーホール導体301～303の平面形状は、図1～図4に示したようなものである。図示実施例において、スルーホール導体301～303はテーパ状になっており、上面形状と下面形状とは相似である。相似とは、数学的に完全な相似形状に限らず、加工、焼成時等に生じた多少の歪を有する形状であってもよい。

【0066】

図示のスルーホール導体301～303は、上面の短軸径D4が、下面の短軸径D5よりも大きいテーパ状になっているので、スルーホール導体用ペースト

の充填性が良くなるとともに、乾燥時にペーストがスルーホールの上側側の角で途切れて導体膜 24 との接続がとれなくなるという不具合を防止することができる。このため、歩留まりが向上する。

【0067】

ここで、下面の短軸径を D5 としたとき、短軸径 D5 と上面の短軸径 D4 との比 ($D5/D4$) を $\alpha 1$ として、

$$0.4 \leq \alpha 1 \leq 0.94$$

を満たすことが好ましい。具体的には $D5 = 40 \mu m$ である。この場合、 $\alpha 1 = 0.8$ となるから、 $\alpha 1$ に関する上記条件式を満たす。

【0068】

図 1～図 5 に示した長軸径及び短軸径を有するスルーホールは、レーザ光線を用いて形成することができ、その形状は、マスクの形状を調整することにより、容易に設定できる。レーザ光線としては、例えば、YAG の高調波を用いることができる。レーザ光線の波長は、193 nm 以上 532 nm 以下であることが好ましい。

【0069】

波長が 193 nm 以上 532 nm 以下である場合、スルーホール径のコントロールが容易になり、良質なスルーホール孔を、高効率で形成することが可能となる。また、スルーホール形成時に生じる加工残渣を小さくすることができる。

【0070】

図 6 は本発明に係る電子部品の別の実施例における一部を示す斜視図である。図において、図 1～図 5 に現れた構成部分と、同様の構成部分には、同一の参照符号を付し、重複説明を省略する。

【0071】

図示実施例の電子部品において、スルーホール導体 301～303 のそれぞれは、基体 10 の厚み方向に採られた 4 つの軸 $z1 \sim z4$ 上に配置（以下、4 軸配列と称する。）されている点で、スルーホール導体のそれぞれが 3 つの軸 $z1 \sim z3$ 上に配置（3 軸配列）されている図 1～図 5 に示した電子部品と相違する。スルーホール導体 301～303 のそれぞれは、基体 10 の厚み方向（ z 方向）

を軸として、時計回りに、周期的に形成されている。

【0072】

図6に示した電子部品は、スルーホール導体301～304を4つの軸z1～z4上に配置する構成を採用しているので、上述した1軸配列、2軸配列と比較して、スルーホール導体301～304による接続の信頼性を向上し得る。また、図1～図5に示した電子部品と同様の構成を有するので、同様の作用効果を奏する。

【0073】

図7は本発明に係る電子部品の具体例を分解斜視図、図8は図7に示した電子部品の一部を示す分解斜視図、図9は図7、図8に示した電子部品の一部を拡大して示す部分拡大図である。図7、図8は説明のために分離して示されたもので、実際の製品が図示のような分離された積層構造となっていることを示すものではない。

【0074】

図7～図9に図示された電子部品は、アクチュエータであり、焼成後の寸法が、例えば、6mm×1.2mm×0.64mmである。図示された電子部品は、基体10と、導体膜でなる電極膜200、(211、212)、(221、222)、(231、232)と、スルーホール導体(301～303)、(311～313)とを含む。

【0075】

基体10は、例えば、圧電セラミックを主成分とする材料で構成され、機能層101～103を有している。機能層101～103は、この順序で積層され、その積層組を、必要な任意数だけ繰り返す。機能層101～103の各厚みt1は、例えば、30μmである。基体10は、最下層100を有し、最下層100と機能層101との界面に、電極膜200を有する。

【0076】

電極膜200、(211、212)、(221、222)、(231、232)、及び、スルーホール導体(301～303)、(311～313)は、好ましくは、Pd:Agが3:7の成分比となるPd-Ag合金で構成することがで

きる。

【0077】

電極膜(211、212)、(221、222)は、第1の電極膜211と、第1の端子電極膜212と、第2の電極膜221と、第2の端子電極膜222とを含む。第1の電極膜211及び第2の電極膜221は、振動に関与する電極であり、第1の端子電極膜212及び第2の端子電極膜222は、振動に関与しない電極である。したがって、第1の電極膜211と第2の電極膜221との重なる部分が、アクチュエータとして変位する部分(活性領域)となる。

【0078】

スルーホール導体(301~303)、(311~313)の配置、及び、それによる電極膜200、(211、212)、(221、222)、(231、232)の接続構造については、図1~図6を参照して説明した原則が適用される。その詳細は次の通りである。

【0079】

まず、スルーホール導体301~303による接続構造については、最下層の電極膜200と第1の端子電極膜212とを、スルーホール導体301で接続する。第1の端子電極膜212と、第2の電極膜221とを、スルーホール導体302で接続する。第2の電極膜221と第1の端子電極膜212とをスルーホール導体303で接続する。第1の端子電極膜212と第2の電極膜221とをスルーホール導体301によって接続する。この接続規則を、積層数に応じて繰り返す。スルーホール導体301~303は、隣接するスルーホール導体において、その軸が、少なくとも、他のスルーホール導体の面内に位置しないように配置される。

【0080】

次に、スルーホール導体311~313による接続構造については、第1の電極膜211と第2の端子電極膜222とを、スルーホール導体311で接続する。第2の端子電極膜222と、第1の電極膜211とを、スルーホール導体312で接続する。第1の電極膜211と第2の端子電極膜222とをスルーホール導体313で接続する。第2の端子電極膜222と第1の電極膜211とをスル

ーホール導体 311 によって接続する。この接続規則を、積層数に応じて繰り返す。スルーホール導体 311～313 は、隣接するスルーホール導体において、その軸が、少なくとも、他のスルーホール導体の面内に位置しないように配置される。

【0081】

スルーホール導体 (301～303)、(311～313) は、機能層に貫通して設けられたスルーホールに、導電性材料を充填して形成することができる。

【0082】

第1の電極膜 211 と第1の端子電極膜 212 との間、及び、第2の端子電極膜 222 と第2の電極膜 221 との間には、両者を電氣的に隔てるギャップが設けられている。

【0083】

基体 10 の最上層には、外部接続用の電極膜 231、232 が形成されている。電極膜 231 はスルーホール導体 301 に接続され、電極膜 232 はスルーホール導体 311 に接続されている。

【0084】

図示はされていないが、基体 10 の内部に、振動の制御上、振動に関与しない層を設けてもよい。また、第1の端子電極膜 212 又は第2の端子電極膜 222 を、第1の電極膜 211 又は第2の電極膜 221 とは異なる平面上に形成してもよい。

【0085】

図7、図8に示した電子部品は、例えば、以下の工程で製造することができる。まず、圧電セラミックスを主成分とするセラミックグリーンシートを形成し、セラミックグリーンシートの所定個所にスルーホールを形成し、スルーホールに導電性ペーストを充填してスルーホール導体 (301～303)、(311～313) を形成し、その後、第1の電極膜 211、第1の端子電極膜 212、第2の電極膜 221、及び、第2の端子電極膜 222 を形成する。セラミックグリーンシートが各機能層 101～103 を構成する。

【0086】

電極膜（211、212、221、222）を形成する前に、スルーホール導体（301～303）、（311～313）を形成すれば、スルーホール導体（301～303）、（311～313）を構成するための導電性ペーストを、スルーホール内に良好に充填することができるので、スルーホール導体（301～303）、（311～313）と電極膜（211、212、221、222）とを確実に接続できる。

【0087】

次に、機能層101～103を順次積層し、熱プレスして、を圧着する。プレス圧は、50MPa以上150MPa以下であることが好ましい。更に好ましくは、70MPa以上120MPa以下とする。プレス圧を120MPa以下にすることにより、プレスによるスルーホール導体の変形に起因する接続不良を防止することができ、プレス圧を70MPa以上にすることにより、スルーホール導体（301～303）、（311～313）と電極膜（211、212、221、222）との密着不良に起因する接続不良を防止することができるからである。

【0088】

熱プレス後は、脱脂（脱バインダ）を行ない、その後、例えば、1100℃以下の温度で3時間保持し、焼成を行う。このとき、焼成温度が高くと、スルーホール接続部分において、基体10とスルーホール導体（301～303）、（311～313）との収縮率の違いが大きくなり、スルーホール導体（301～303）、（311～313）と電極膜（211、212）、（221、222）との接続性が悪くなる。接続性の悪化は、スルーホール導体（301～303）、（311～313）中のAg含有量が多い場合、非常に顕著となる。

【0089】

これに対して、本発明においては、スルーホール導体（301～303）、（311～313）を3軸z1～z3上に配置する構成を採用しているから、スルーホール導体（301～303）、（311～313）中のAg含有量が増えた場合でも、スルーホール導体（301～303）、（311～313）と電極膜（211、212）、（221、222）との接続性が悪くなるのを回避し、高

信頼度の接続構造を実現できる。

【0090】

焼成後は、電極膜 231、232 を、スクリーン印刷などの手段によって、機能層 103 に形成されたスルーホール導体 (301、311) 上に形成し、かつ、焼き付ける。電極焼付後は、分極処理を行なう。分極処理は、たとえば、電極膜 231、232 にコンタクトプローブを接触させ、室温 (25℃) で、機能層 1mm あたり 4kV の DC 電界を印加することによって実行される。

【0091】

電極膜 231、232 は、スクリーン印刷のほか、スパッタリング、または、真空蒸着などの手段によって形成することもできる。また、電極膜 231、232 の材質としては、Au、Ag、Cu、Ni、Cr などが適しており、その単層または複数層として構成することができる。

【0092】

上述したように、図 7～図 9 に示した電子部品は、スルーホール導体 (301～303)、(311～313) を 3 軸 $z_1 \sim z_3$ 上に配置する構成を採用しているので、アクチュエータの駆動前における基体 10 の歪みが低減する。このため、アクチュエータの駆動時に、基体 10 に応力が印加された場合でも、アクチュエータの破損を確実に回避し得る。

【0093】

また、図 7～図 9 に示した電子部品は、スルーホール導体 (301～303)、(311～313) を 3 つの軸 $z_1 \sim z_3$ 上に配置する構成、及び、振動に関与しない第 1 の端子電極膜 212 及び第 2 の端子電極膜 222 を介して、第 1 の電極膜 211 及び第 2 の電極膜 221 を接続する構成を有している。したがって、この構成により、アクチュエータ駆動時におけるスルーホールへの歪みが低減する。図 7～図 9 に示した電子部品は、図 1～図 6 に示した電子部品と同様の構成を有するので、同様の作用効果を奏することができる。

【0094】

図 10 は本発明に係る電子部品の別の具体例を示す分解斜視図、図 11 は図 10 に示した電子部品の一部を示す分解斜視図である。図 7～図 9 に現れた構成部

分と同一の構成部分については、同一の参照符号を付してある。

【0095】

図示実施例の電子部品は、図6に示した4軸配列の具体例を示し、スルーホール導体(301~304)、(311~314)のそれぞれは、基体10の厚み方向に採られた4つの軸 $z_1 \sim z_4$ 上に配置されている。スルーホール導体(301~304)、(311~314)のそれぞれは、基体10の厚み方向 z を軸として、時計回りに、周期的に配置されている。

【0096】

図10及び図11に図示された電子部品も、基体10は、圧電セラミックを主成分とする材料で構成され、機能層101~104を有している。機能層101~104は、この順序で積層され、その積層組を、必要な任意数だけ繰り返す。機能層101~104の各厚み t_1 は、例えば、 $30\mu\text{m}$ である。基体10は、最下層100を有し、最下層100と機能層101との界面に、電極膜200を有する。

【0097】

電極膜200、(211、212)、(221、222)、(231、232)、及び、スルーホール導体(301~303)、(311~313)は、好ましくは、前述した成分比となるPd-Ag合金で構成することができる。

【0098】

電極膜(211、212)、(221、222)は、第1の電極膜211と、第1の端子電極膜212と、第2の電極膜221と、第2の端子電極膜222とを含む。第1の電極膜211及び第2の電極膜221は、振動に関与する電極であり、第1の端子電極膜212及び第2の端子電極膜222は、振動に関与しない電極である。したがって、第1の電極膜211と第2の電極膜221との重なる部分が、アクチュエータとして変位する部分(活性領域)となる。

【0099】

スルーホール導体(301~304)、(311~314)の配置、及び、それによる電極膜200、(211、212)、(221、222)、(231、232)の接続構造については、図6を参照して説明した原則、及び、図7、図

8に示した原則が適用される。3軸配列の図7及び図8との対比では、スルーホール導体304、314及び機能層104が多い点だけが異なる。

【0100】

まず、スルーホール導体301～304による接続構造については、最下層の電極膜200と第1の端子電極膜212とを、スルーホール導体301で接続する。第1の端子電極膜212と、第2の電極膜221とを、スルーホール導体302で接続する。第2の電極膜221と第1の端子電極膜212とをスルーホール導体303で接続する。第1の端子電極膜212と第2の電極膜221とをスルーホール導体304によって接続する。この接続規則を、積層数に応じて繰り返す。スルーホール導体301～304は、隣接するスルーホール導体において、その軸が、少なくとも、他のスルーホール導体の面内に位置しないように配置される。

【0101】

次に、スルーホール導体311～314による接続構造については、第1の電極膜211と第2の端子電極膜222とを、スルーホール導体311で接続する。第2の端子電極膜222と、第1の電極膜211とを、スルーホール導体312で接続する。第1の電極膜211と第2の端子電極膜222とをスルーホール導体313で接続する。第2の端子電極膜222と第1の電極膜211とをスルーホール導体314によって接続する。この接続規則を、積層数に応じて繰り返す。スルーホール導体311～314は、隣接するスルーホール導体において、その軸が、少なくとも、他のスルーホール導体の面内に位置しないように配置される。

【0102】

スルーホール導体(301～304)、(311～314)は、機能層に貫通して設けられたスルーホールに、導電性材料を充填して形成することができる。

【0103】

第1の電極膜211と第1の端子電極膜212との間、及び、第2の端子電極膜222と第2の電極膜221との間には、両者を電氣的に隔てるギャップが設けられている。

【0104】

基体10の最上層には、外部接続用の電極膜231、232が形成されている。電極膜231はスルーホール導体304に接続され、電極膜232はスルーホール導体313に接続されている。

【0105】

図示はされていないが、基体10の内部に、振動の制御上、振動に関与しない層を設けてもよい。また、第1の端子電極膜212又は第2の端子電極膜222を、第1の電極膜211又は第2の電極膜221とは異なる平面上に形成してもよい。

【0106】

図6に示した電子部品は、スルーホール導体301～304を4つの軸z1～z4上に配置する構成を採用しているので、上述した1軸配列、2軸配列と比較して、スルーホール導体301～304による接続の信頼性を向上し得る。また、図1～図5に示した電子部品と同様の構成を有するので、同様の作用効果を奏する。

【0107】

次に、実験データを挙げて、本発明の効果を具体的に説明する。表1は、スルーホール導体の配列と電子部品の不良との関係を示す。評価は、材料と素子構造から計算される静電容量値と、分極後にLCRメータで測定した静電容量値とを比較することにより行った。評価に供されたサンプル数は、各条件について100個とした。表1において、実施例1、2、及び、比較例1、2とも、スルーホール導体は、(下面の直径/上面の直径)を0.8とした。圧電層は20層とし、 $\alpha 2 (=D3/D4)$ は、1.00とした。

【0108】

実施例1は、図10、図11に示した本発明に係る電子部品(4軸配列)であり、実施例2は、図7～図9に示した本発明に係る電子部品(3軸配列)である。比較例1は、従来の2軸配列の電子部品、比較例2は従来の1軸配列(直線配列)の電子部品である。

表 1

	配列	不良率 (不良数／評価数)
実施例 1	4 軸	0／100
実施例 2	3 軸	0／100
比較例 1	2 軸	11／100
比較例 2	直線	86／100

表 1 を見ると明らかなように、比較例 1 の場合、不良率が (11／100)、比較例 2 では不良率が (86／100) にも達する。これに対して、実施例 1、2 では不良率が 0 である。すなわち、本発明に係る電子部品は、歩留まりが極めて高いことがわかる。

【0109】

表 2 はスルーホール導体の上面における長軸径 D 3 及び短軸径 D 4 の比 $\alpha 2$ ($=D 3 / D 4$) と電子部品の不良率との関係を示す実験データである。電子部品の良否は、電界印加により、スルーホール断線に起因した容量抜けが生じたか否かを判断して評価した。評価にあたっては、分極後に LCR メータにより測定した静電容量値と、静電容量の測定後、室温 (約 25 度) にて機能層 1 mm 当たり 1 kV の電界を 100 kHz のサイン波として 100 h r 連続印加した後の静電容量値とを比較することにより行った。評価に供されたサンプル数は、各条件について 100 個とした。サンプル 1～6 は、図 10、図 11 に示した本発明に係る電子部品 (4 軸配列) と同様の配列とした。

表 2

	配列	スルーホール径の比 $\alpha 2 = (D 3 / D 4)$	不良率 (%)
サンプル 1	4 軸	1.00	69
サンプル 2	4 軸	1.05	5
サンプル 3	4 軸	1.10	0
サンプル 4	4 軸	1.20	0
サンプル 5	4 軸	2.00	0
サンプル 6	4 軸	5.00	0

表 2 に示すように、 $\alpha 2 = 1.00$ のサンプル 1 では、不良率が 69% にも達す

る。これに対して、

$$1 < \alpha 2 \leq 5$$

を満たすサンプル 2～6 の場合、不良率が最大でも数％であり、著しい不良率低減効果が得られている。

【0110】

表 3 は、スルーホール径の比 $\alpha 1$ ($= D 5 / D 4$) と電子部品の不良率との関係を示し、図 1 2 は表 3 をグラフ上に表したものである。電子部品の良否は、電界印加により、スルーホール断線に起因した容量抜けが生じたか否かを判断して評価した。評価にあたっては、分極後に L C R メータにより測定した静電容量値と、静電容量の測定後、室温（約 2 5 度）にて機能層 1 mm 当たり 1 k V の電界を 1 0 0 k H z のサイン波として 1 0 0 h r 連続印加した後の静電容量値とを比較することにより行った。評価に供されたサンプル数は、各条件について 1 0 0 個とした。

【0111】

表 3、図 1 2 において、サンプル 7～1 2 は、図 1 0、図 1 1 に示した本発明に係る電子部品（4 軸配列）と同様の配列とした。サンプル 7～1 0 は、比 $\alpha 1$ を

$$0.4 \leq \alpha 1 \leq 0.94$$

の範囲に設定したものである。サンプル 1 1 は、同じく、

$$\alpha 1 < 0.4$$

の範囲に設定したものであり、サンプル 1 2 は、同じく

$$\alpha 1 > 0.94 \text{ の範囲に設定したものである。}$$

表 3

	配列	スルーホール径の比 $\alpha 1 = (D 5 / D 4)$	不良率 (%)
サンプル 7	4 軸	$20 / 50 = 0.4$	4
サンプル 8	4 軸	$30 / 50 = 0.6$	0
サンプル 9	4 軸	$40 / 50 = 0.8$	0
サンプル 1 0	4 軸	$47 / 50 = 0.94$	5
サンプル 1 1	4 軸	$15 / 50 = 0.3$	6.9
サンプル 1 2	4 軸	$50 / 50 = 1$	2.8

表 3、図 12 を参照すると、比 $\alpha 1 = 0.3$ であるサンプル 11 の不良率は 6.9% に達している。スルーホール導体径の比 $\alpha 1 = 1$ であるサンプル 12 の不良率も 28% にも達している。

【0112】

これに対して、スルーホール導体径の比 $\alpha 1$ が、0.4、0.6、0.8、0.94 である各サンプル 7～10 では、不良率が数% 以内にとどまっている。

【0113】

即ち、スルーホール導体径の比 $\alpha 1$ を、

$$0.4 \leq \alpha 1 \leq 0.94$$

の範囲に設定することにより、歩留まりを著しく向上させ得ることが分かる。

【0114】

以上、好ましい実施例を参照して本発明の内容を具体的に説明したが、本発明の基本的技術思想及び教示に基づいて、当業者であれば、種々の変形態様を採り得ることは自明である。

【0115】

【発明の効果】

以上述べたように、本発明によれば、次のような効果を得ることができる。

(A) スルーホール接続の信頼性を向上させることにより、歩留まりの向上を図り得る電子部品を提供することができる。

(B) スルーホールの小型化により、製品の小型化を実現し得る電子部品を提供することができる。

(C) 容易に製造し得る電子部品を提供することができる。

【図面の簡単な説明】

【図 1】

本発明に係る電子部品の一部を示す図である。

【図 2】

図 1 に示した電子部品の一部を示す斜視図である。

【図 3】

図 1 に示した電子部品に含まれるスルーホール導体の 1 つを拡大して示す平面

図である。

【図 4】

本発明に係る電子部品に適用されうるスルーホール導体の別の具体例を拡大して示す平面図である。

【図 5】

本発明に係る電子部品に適用されうるスルーホール導体の具体例を拡大して示す断面図である。

【図 6】

本発明に係る電子部品の別の実施例を示す斜視図である。

【図 7】

本発明に係る電子部品の具体的な実施例を示す分解斜視図である。

【図 8】

図 7 に示した電子部品の一部を示す分解斜視図である。

【図 9】

図 8 に示した電子部品の部分拡大図である。

【図 10】

本発明に係る電子部品の別の具体的実施例を示す分解斜視図である。

【図 11】

図 10 に示した電子部品の一部を示す分解斜視図である。

【図 12】

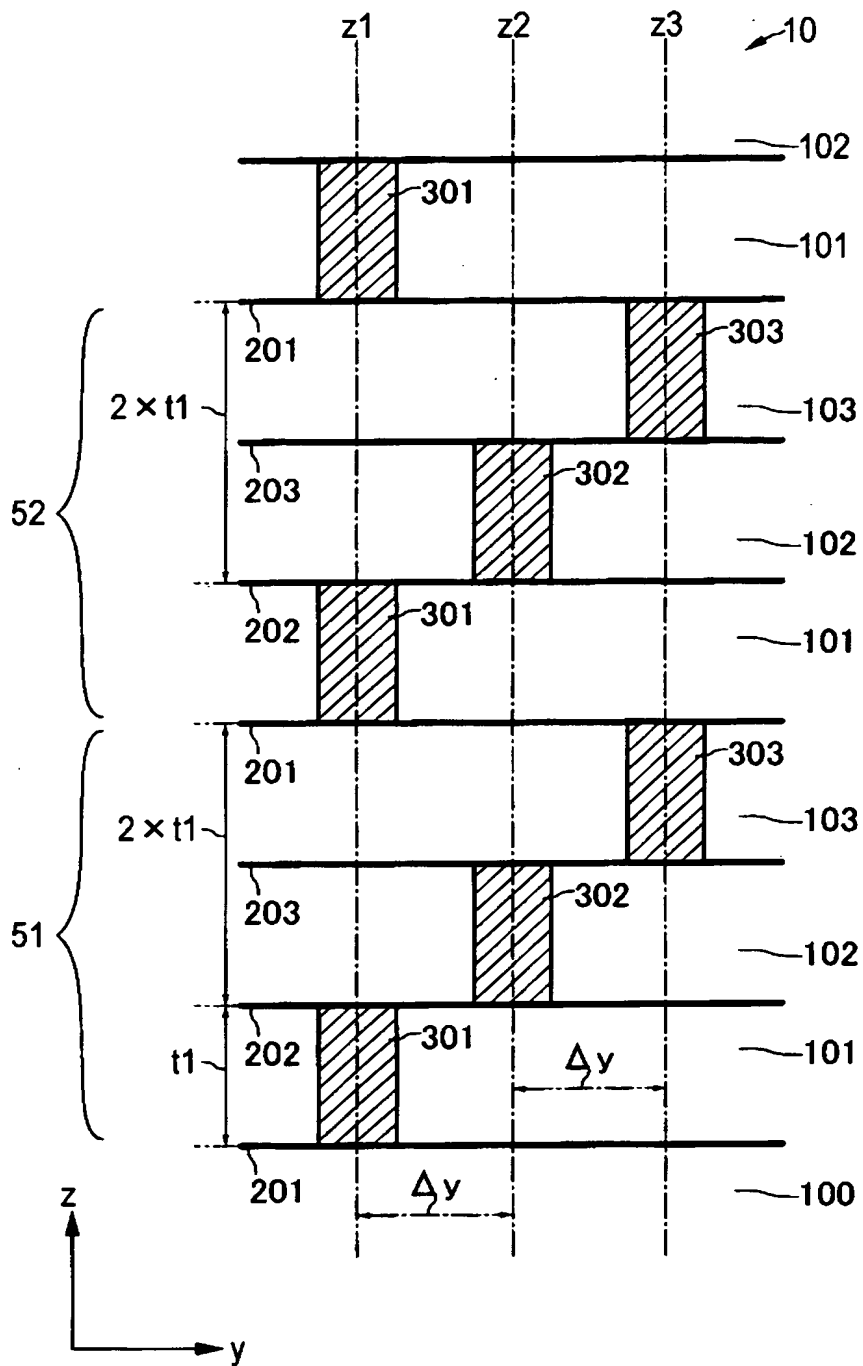
表 3 をグラフ上に表したものである。

【符号の説明】

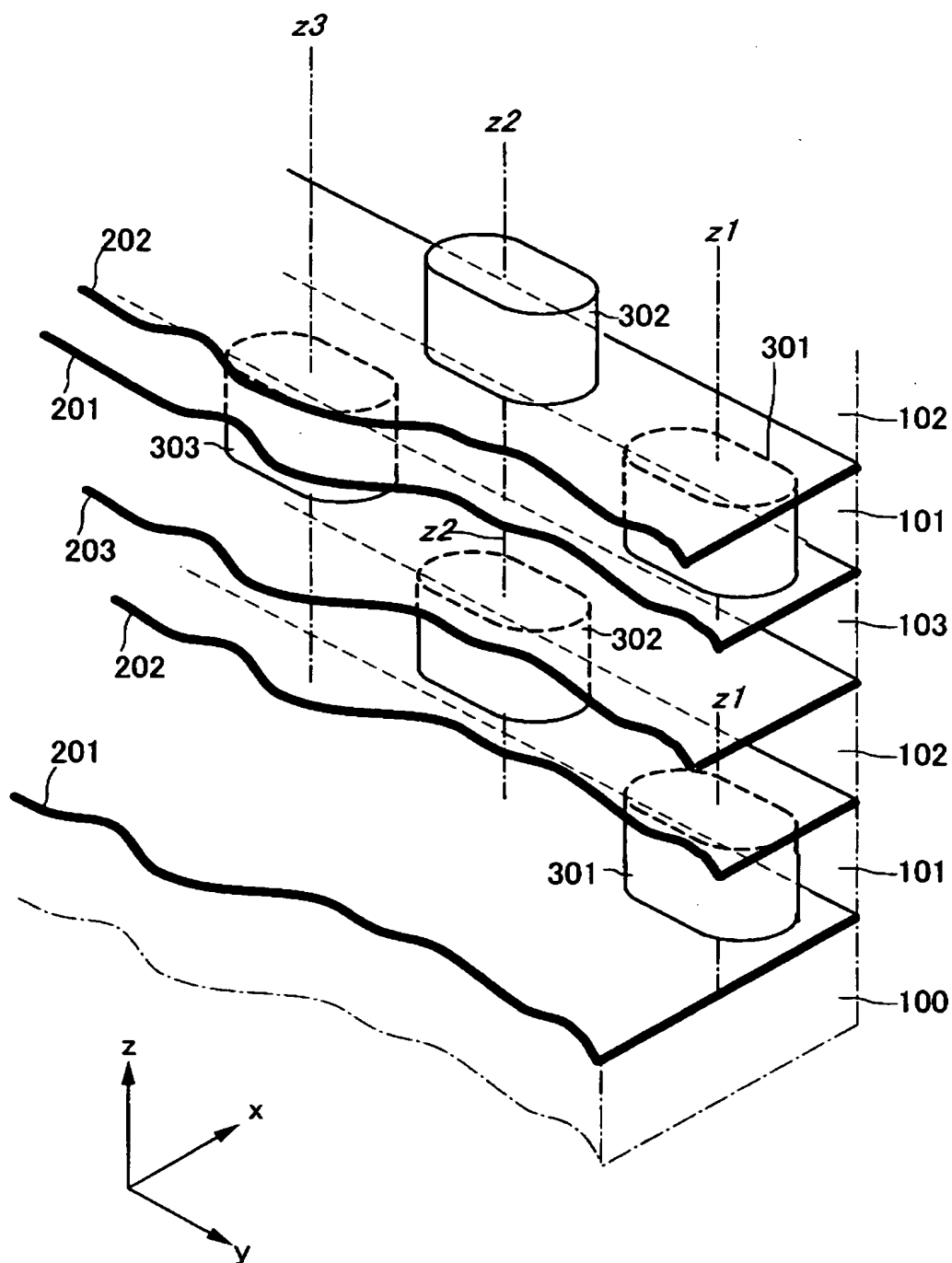
10	基体
201～203	導体膜
101～104	機能層
51、52	組
301～304	スルーホール導体
311～314	スルーホール導体

【書類名】 図面

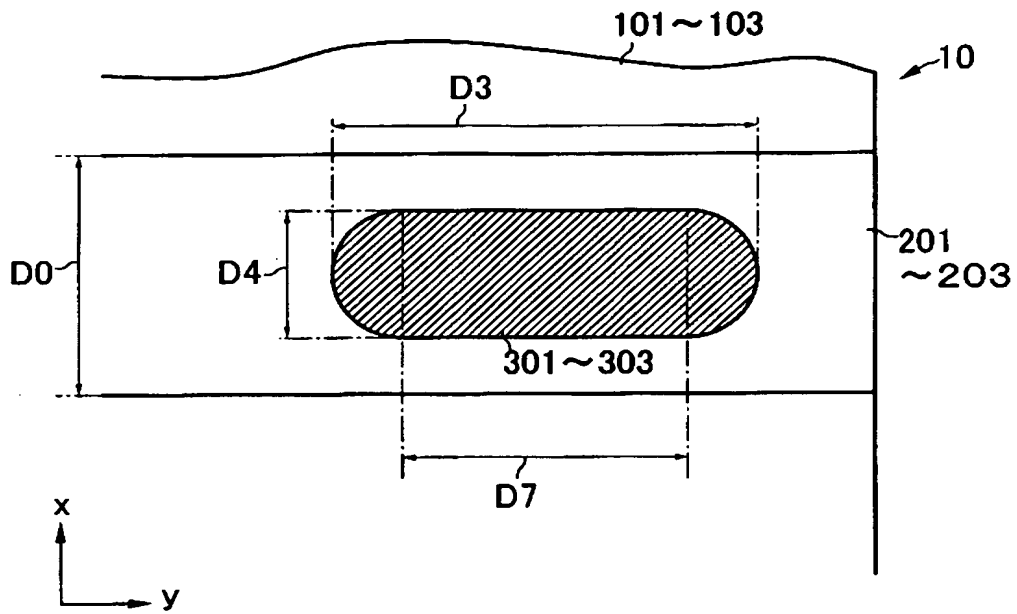
【図 1】



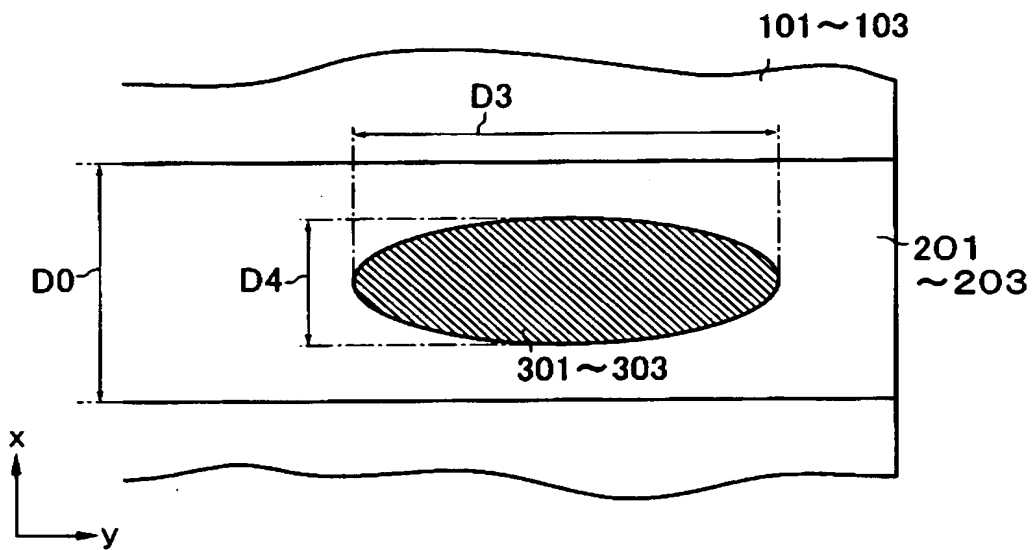
【図 2】



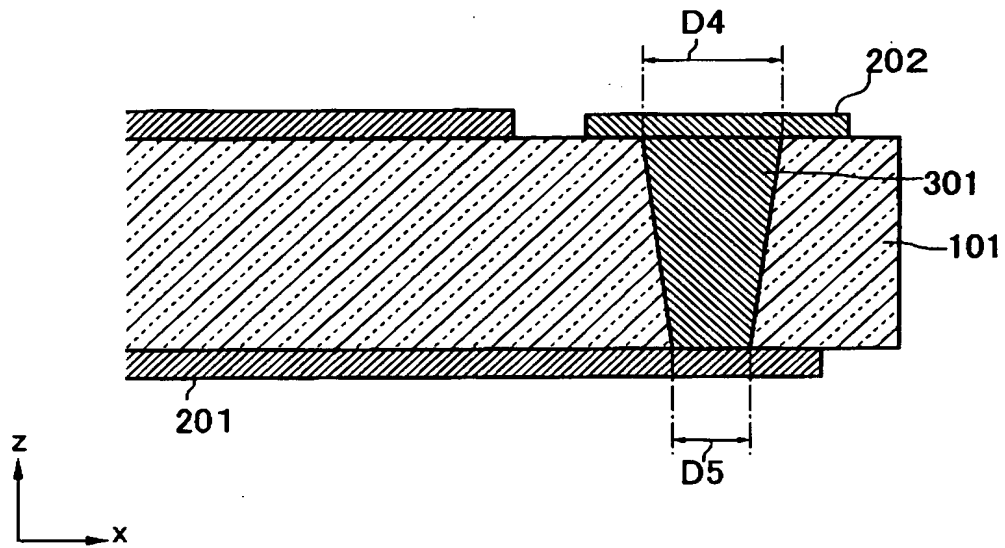
【図 3】



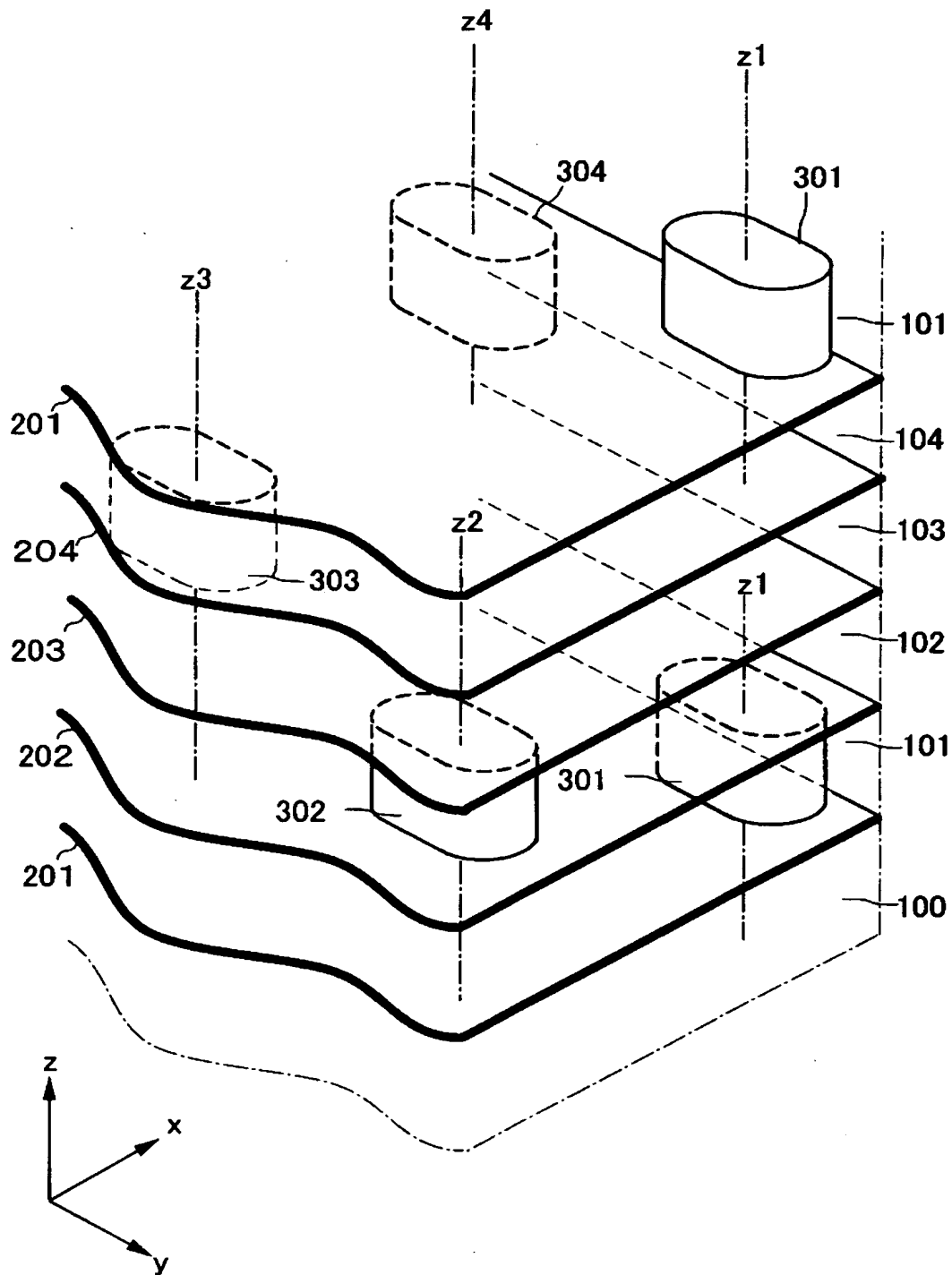
【図 4】



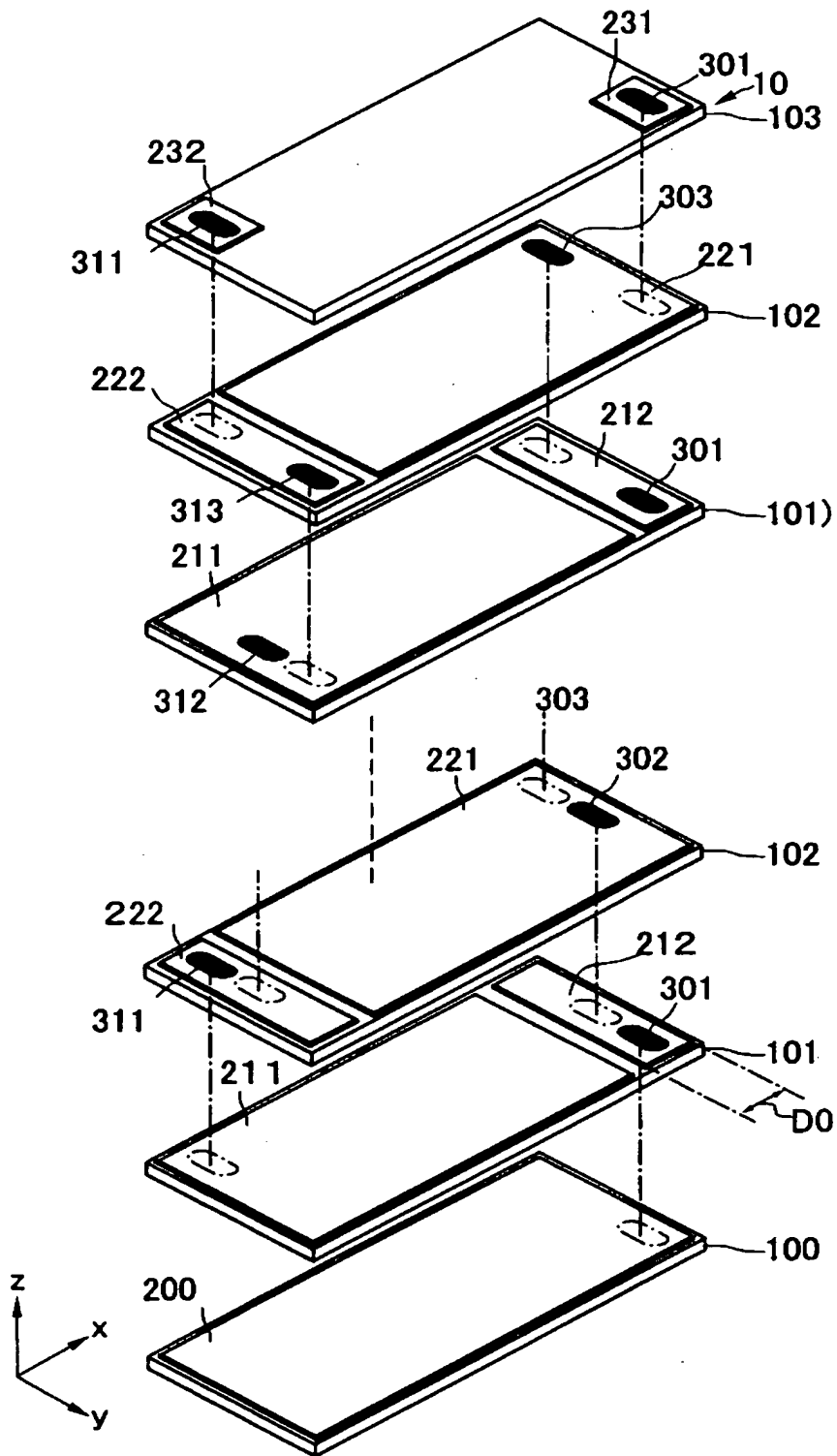
【図 5】



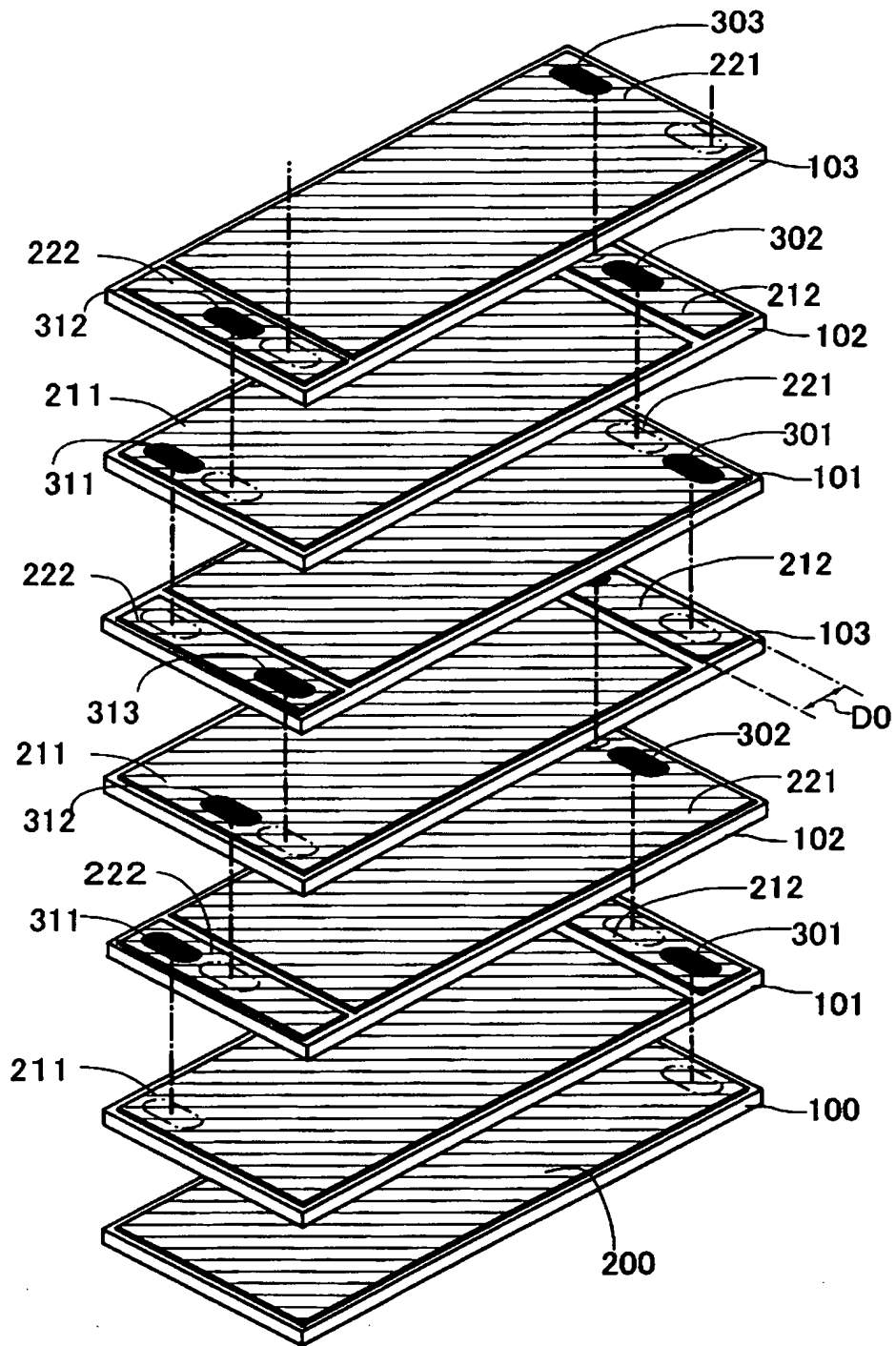
【図 6】



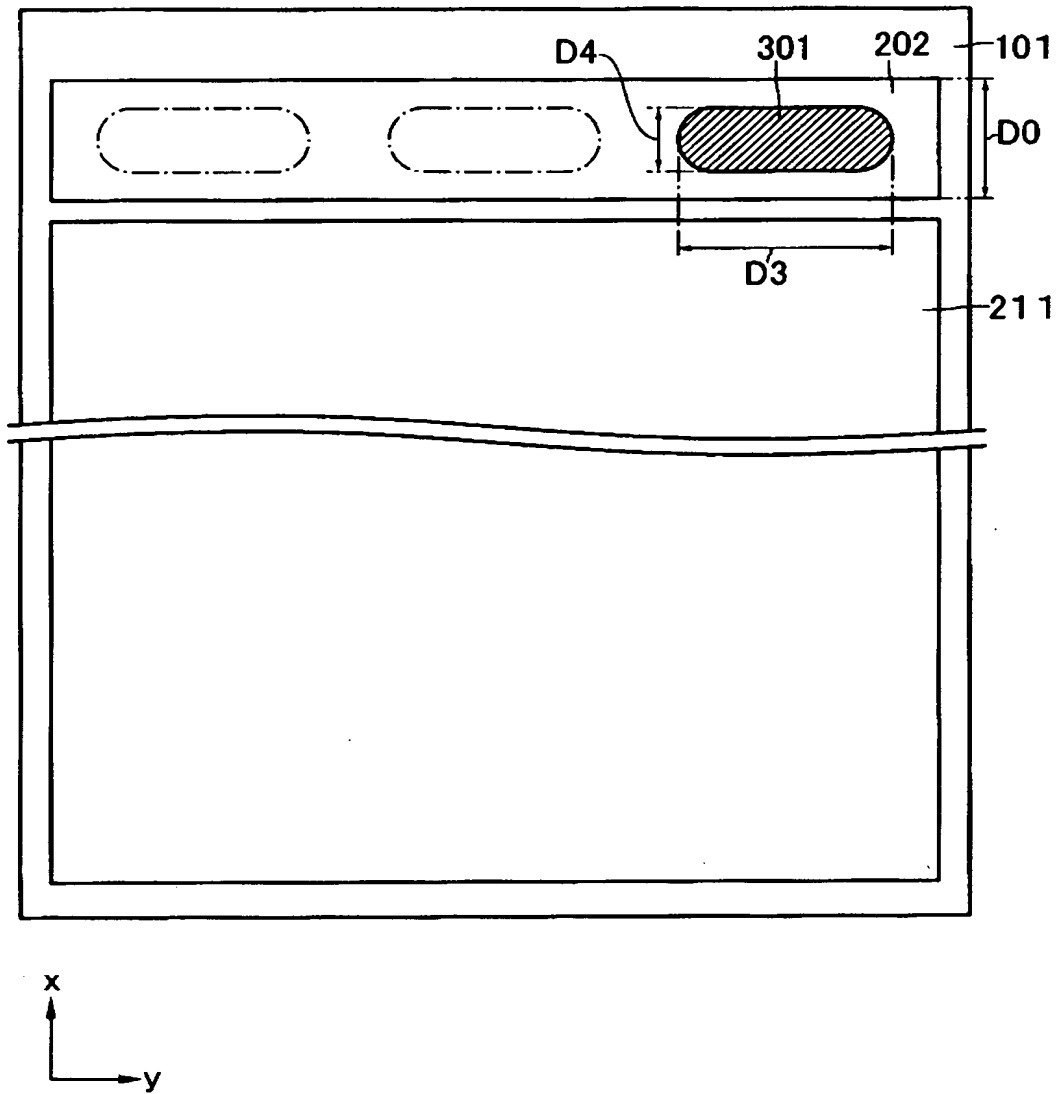
【図 7】



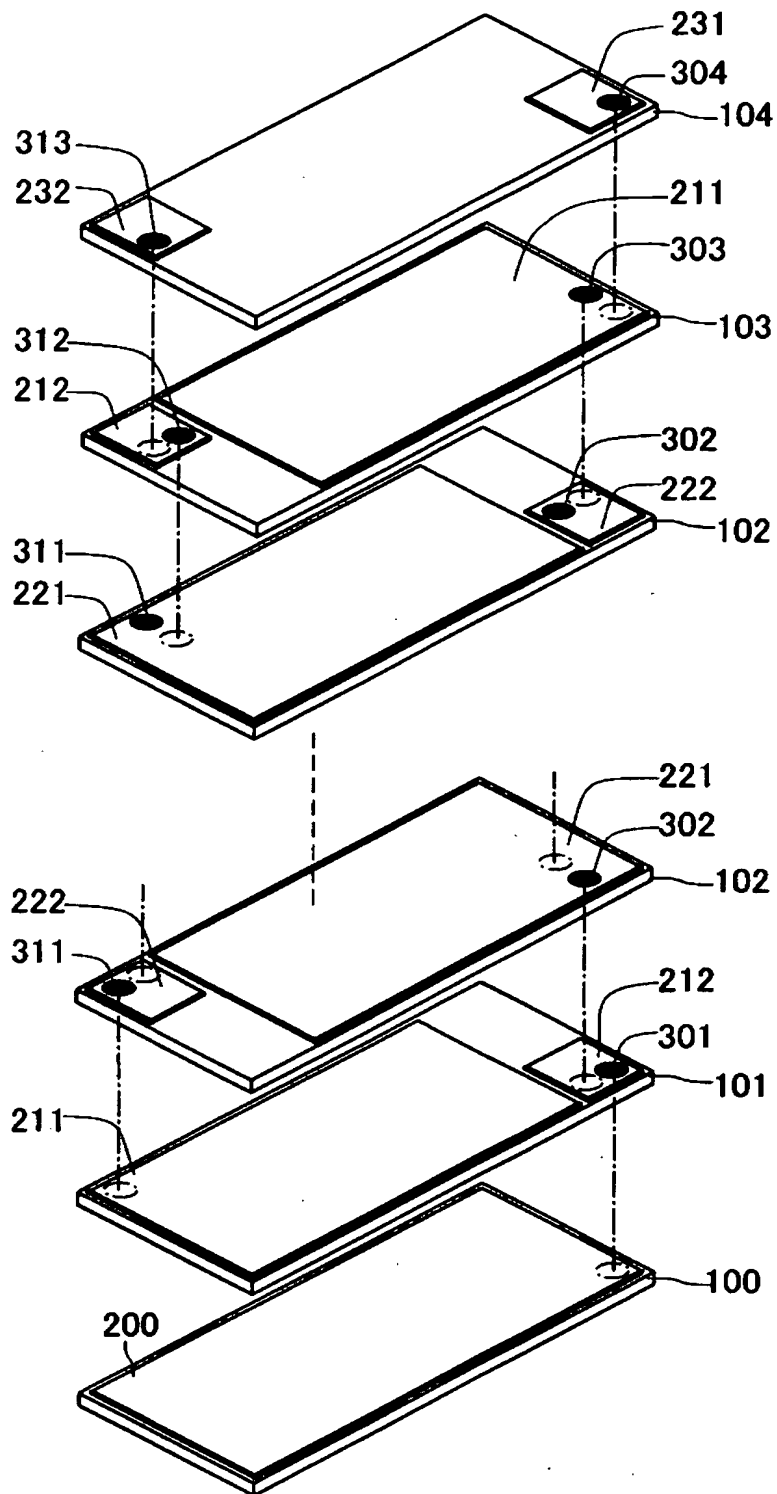
【図 8】



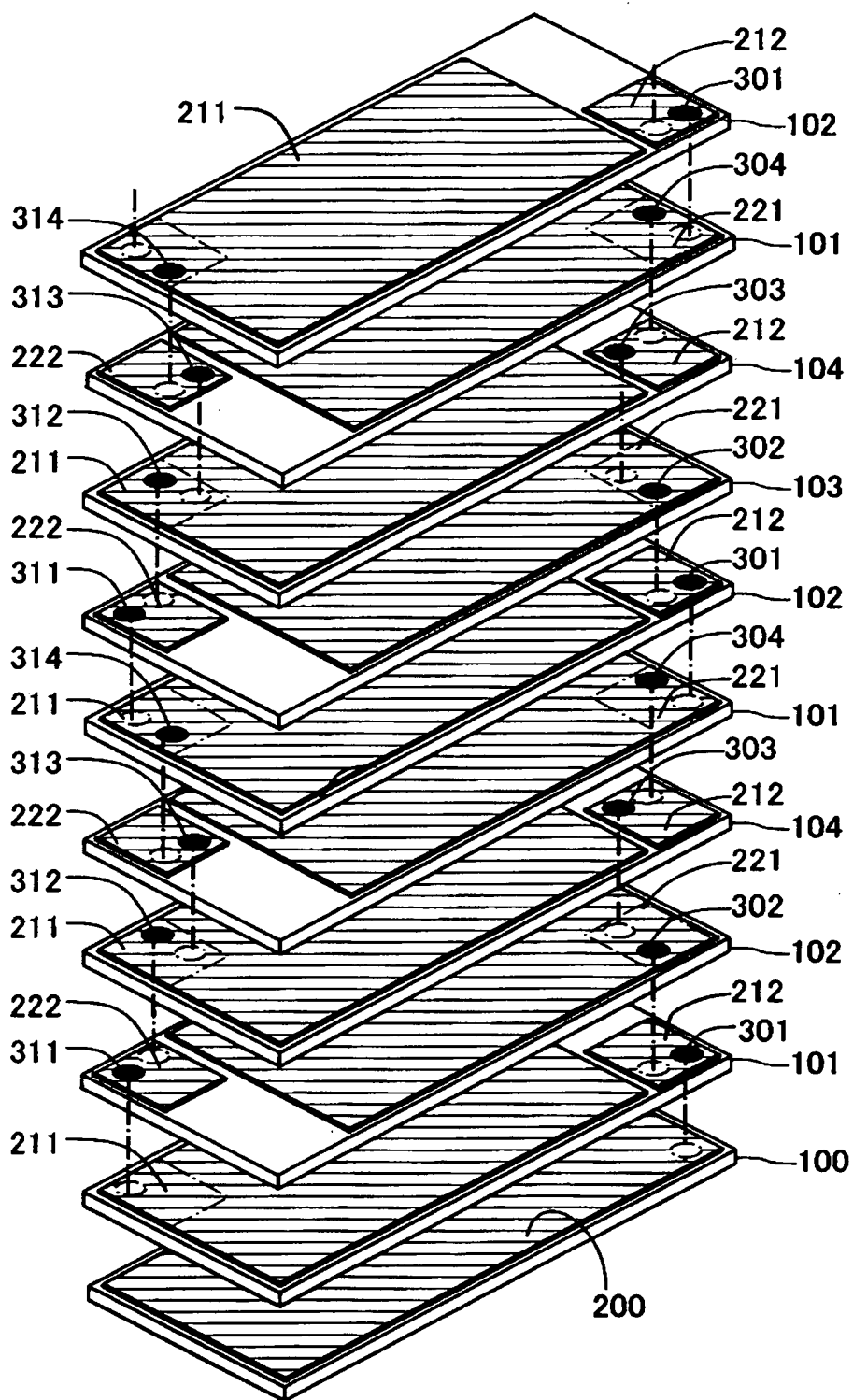
【図 9】



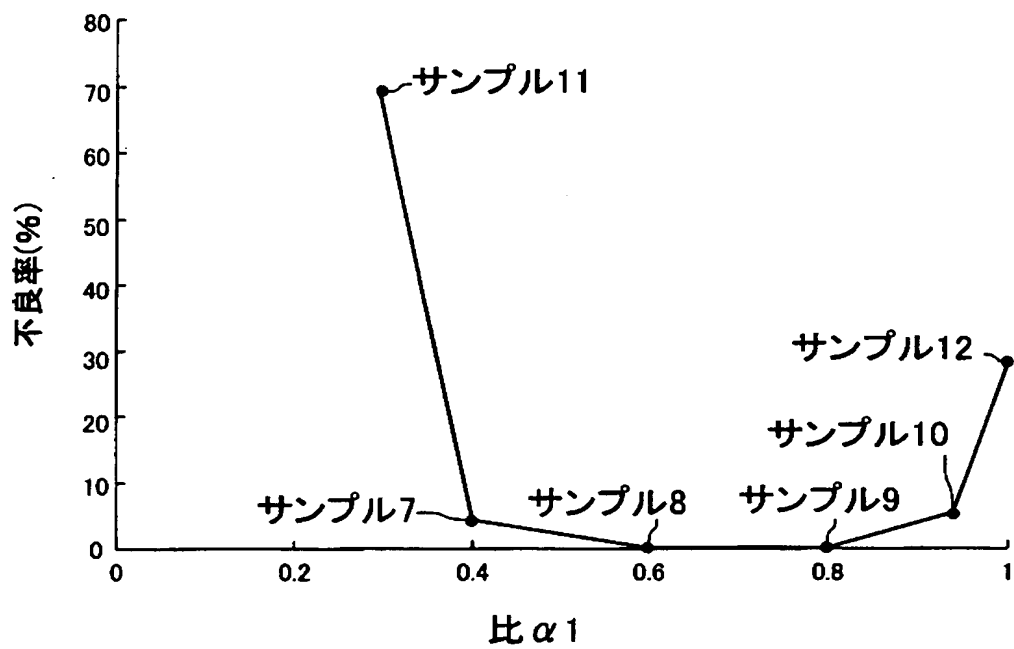
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 スルーホール接続の信頼性を向上させ、歩留まりの向上を図り得る電子部品を提供する。

【解決手段】 導体膜 20 は複数であり、基体 10 の厚み方向に間隔を隔てて、基体 10 の内部に埋設されている。スルーホール導体 301～303 は、上面又は下面の少なくとも一方の形状が、長軸径 D3 及び短軸径 D4 を有する形状である。スルーホール導体 301～303 は、基体 10 の厚み方向で見て異なる軸上に配置され、基体 10 の厚み方向で見て、隣接するスルーホール導体 301～303 のそれぞれは互いに重ならないように設けられ、隣り合う導体膜 201～202、202～203、203～201 間に存在する基体 10 を貫通し、隣り合う導体膜を接続する。

【選択図】 図 1

特願 2 0 0 2 - 3 6 3 1 1 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 6 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

ティーディーケイ株式会社

2. 変更年月日

2 0 0 3 年 6 月 2 7 日

[変更理由]

名称変更

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

T D K 株式会社